

Pembahagi Frekuensi Berkuasa Rendah Menggunakan Teknik Pincang Badan ke Depan

(Low Power Frequency Divider Using Forward Body Bias Technique)

Saidatul Amira Abdul Wahab^a, Noorfazila Kamal^{a,b}

^aProgram Kejuruteraan Elektrik dan Elektronik,

Fakulti Kejuruteraan dan Alam Bina, Universiti Kebangsaan Malaysia, Bangi, Malaysia

^bPusat Kejuruteraan Sistem Bersepadu dan Teknologi Termaju (INTEGRA),

Fakulti Kejuruteraan dan Alam Bina, Universiti Kebangsaan Malaysia, Bangi, Malaysia

ABSTRACT

Wireless application such as cell phone, two-way radios and wifi has exploited recent transceiver technology. Transceiver which consist of transmitter and receiver is a crucial unit in a wireless communication system to ensure accurate data transmission can be performed. This accuracy is controlled by a unit in the transceiver, namely Phase-Locked Loop (PLL). A low power transceiver is important to prolong the life of battery in wireless devices. Frequency dividers in the PLL is one of the major contributors to power dissipation. Therefore, this project proposed a low power frequency divider for Phase-Locked Loop system, which is a commonly used frequency synthesizer in Radio Frequency (RF) transceivers. In order to achieve the target, forward body bias technique (FBB) is employed. FBB reduces threshold voltage by applying positive voltage across the source to body junction. This technique enable circuit operates at low supply voltage, hence consumes low power. The circuit design in this work is implemented using Silterra 0.13 μm CMOS technology. For the frequency divider, True Single Phase-Clock (TSPC) topology is used due to its simple circuit and less cost in fabrication compared to other topologies. The simulation results show that CMOS-FBB frequency divider can operate up to 5.0 GHz from 0.8 V supply voltage and only consumes 34.55 nW power. Compared to frequency divider using conventional CMOS, the CMOS-FBB technique succeeded in lowering the dissipated power by 99.98 %.

Keywords: Frequency divider; forward body bias; Phase-Locked Loop; power consumption

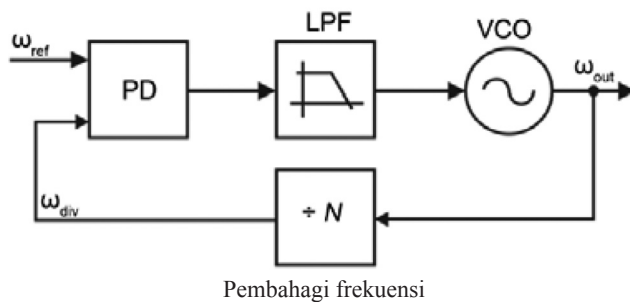
ABSTRAK

Aplikasi tanpa wayar seperti telefon selular, radio dua-hala dan wifi telah menggunakan sepenuhnya teknologi penghantar-terima yang terkini. Unit penghantar-terima yang terdiri daripada penghantar dan penerima merupakan unit yang penting di dalam sistem komunikasi tanpa wayar bagi memastikan penghantaran data yang tepat dapat dilaksanakan. Ketepatan ini dikawal oleh satu unit di dalam penghantar-terima, iaitu Gelung Terkunci Fasa (Phase-Locked Loop, PLL). Penghantar-terima berkuasa rendah adalah penting untuk memanjangkan hayat bateri dalam peranti tanpa wayar. Pembahagi frekuensi di dalam PLL merupakan salah satu penyumbang utama kepada pelepasan kuasa. Oleh itu, projek ini adalah bertujuan untuk menghasilkan satu pembahagi frekuensi berkuasa rendah untuk sistem Gelung Terkunci Fasa, iaitu sistem yang sering digunakan sebagai pensistesis frekuensi di dalam pemancar-penerima radio frekuensi (RF). Untuk mencapai sasaran ini, teknik pincang badan ke depan (FBB) digunakan. FBB mengurangkan voltan ambang dengan mengenakan voltan positif di antara simpang sumber dan badan. Teknik ini membolehkan litar beroperasi dengan sumber voltan yang rendah, oleh itu kuasa yang rendah digunakan. Rekabentuk litar dalam kajian ini diimplementasi menggunakan teknologi Silterra 0.13 μm CMOS. Bagi pembahagi frekuensi, topologi jam fasa tunggal benar (True Single Phase-Clock, TSPC) digunakan kerana ia merupakan litar yang mudah dan mempunyai kos fabrikasi yang rendah berbanding topologi yang lain. Keputusan simulasi menunjukkan pembahagi frekuensi CMOS-FBB mampu beroperasi hingga 5.0 GHz daripada 0.8 V voltan sumber dan hanya menggunakan kuasa sebanyak 34.55 nW. Dibandingkan dengan pembahagi frekuensi menggunakan CMOS konvensional, teknik CMOS-FBB Berjaya mengurangkan kuasa sebanyak 99.98%.

Kata kunci: Pembahagi frekuensi; pincang badan ke depan; Sistem Gelung Terkunci Fasa; penggunaan kuasa

PENGENALAN

Dalam meniti arus pemodenan perhubungan komunikasi tanpa wayar, Sistem Gelung Terkunci Fasa (*Phase Locked Loop*, PLL) merupakan salah satu komponen penting dalam litar penghantar penerima RF. PLL berfungsi untuk menyediakan isyarat rujukan dalam proses penghantaran dan penerimaan data. Isyarat yang tepat sangat penting bagi memastikan data yang dihantar atau diterima adalah tepat. Secara umumnya, PLL adalah gabungan daripada beberapa blok iaitu Pengesan Fasa (*Phase Detector*), Penapis Laluan Rendah (*Low Pass Filter*), Pengayun Terkawal Voltan (*Voltage Controlled Oscillator*), dan Pembahagi Frekuensi (*Frequency Divider*), seperti yang ditunjukkan dalam Rajah 1. Dalam kajian ini, fokus hanya diberikan kepada blok pembahagi frekuensi, iaitu blok yang mempunyai pelepasan kuasa yang tinggi di dalam PLL.



RAJAH 1. Sistem gelung terkunci fasa

Dalam Sistem PLL seperti Rajah 1, Pengesan Fasa (*Phase Detector*, PD) bertindak membandingkan fasa dua isyarat input dan menjana voltan berkadar dengan perbezaan fasa isyarat input. Penapis Laluan Rendah (*Low Pass Filter*) secara umumnya mempunyai dua fungsi yang berbeza iaitu menentukan kestabilan gelung dan untuk membataskan kekuatan riak pada output pengesan fasa yang juga merupakan input kepada pengayun terkawal voltan. Pengayun Terkawal Voltan (*Voltage Controlled Oscillator*, VCO) pula bertindak sebagai penjana isyarat yang menghasilkan output frekuensi yang dikehendaki. Pembahagi Frekuensi (*Frequency Divider*) pula berfungsi untuk membahagi frekuensi isyarat output untuk dijadikan input pengesan fasa (Barale 2008). Lazimnya, satu unit pembahagi frekuensi membahagi frekuensi isyarat kepada dua. Beberapa pembahagi frekuensi diperlukan untuk menyamakan frekuensi VCO dengan frekuensi rujukan. Ini menjadikan litar pembahagi frekuensi merupakan penyumbang pelepasan tenaga tertinggi di dalam PLL. Oleh itu, litar pembahagi frekuensi berkuasa rendah amat penting bagi memastikan PLL beroperasi dengan pelepasan kuasa yang rendah boleh dihasilkan.

PLL beroperasi dengan membandingkan dua isyarat, iaitu output daripada VCO yang telah terbahagi dan isyarat rujukan. Isyarat rujukan perlu mempunyai frekuensi yang sangat tepat. Lazimnya, frekuensi hablur digunakan sebagai frekuensi rujukan kerana hablur adalah salah satu alat resonan yang sangat tepat. Walau bagaimanapun, perbandingan ini tidak boleh dilakukan secara terus kerana julat di antara frekuensi

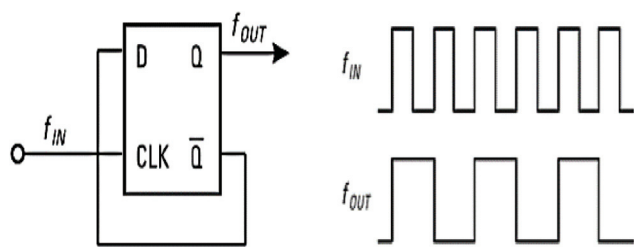
output VCO dengan frekuensi isyarat rujukan sangat besar. Pembahagi frekuensi digunakan untuk membahagi frekuensi output VCO kepada frekuensi yang lebih rendah, iaitu sama dengan frekuensi isyarat rujukan. Sekiranya terdapat perbezaan di antara frekuensi VCO yang telah terbahagi dan frekuensi rujukan, sistem PLL akan membetulkan ralat ini sehingga ralat menjadi sifar. Ralat ini terjadi disebabkan faktor perubahan suhu, jangka hayat peranti yang terlalu lama atau lain-lain lagi. Ralat ini boleh mengakibatkan penghantaran atau penerimaan data yang tidak tepat. Oleh itu, ketepatan frekuensi isyarat amat penting bagi memastikan penghantaran atau penerimaan data dapat dilakukan dengan sempurna.

PEMBAHAGI FREKUENSI

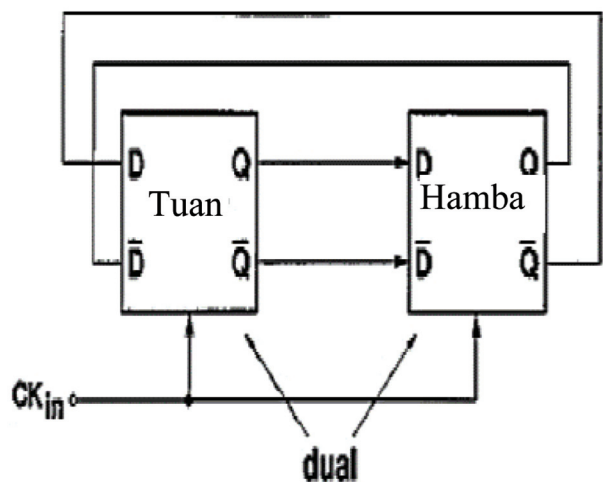
Pembahagi frekuensi merupakan satu peranti elektronik yang utama dalam PLL yang juga merupakan satu laluan suap balik yang sesuai diimplementasi secara analog dan digital. Output VCO disuap balik ke input PD menerusi pembahagi frekuensi dalam litar PLL yang membentuk satu gelung tertutup. Pembahagi frekuensi membahagi frekuensi output VCO supaya sama dengan frekuensi rujukan. Frekuensi VCO selalunya adalah jauh lebih tinggi berbanding frekuensi rujukan. Oleh itu, beberapa unit pembahagi frekuensi diperlukan dalam sesebuah PLL. Sebagai contoh, sekiranya isyarat rujukan sebuah sistem PLL adalah 2 MHz dan output VCO pada 2.048 GHz, sebanyak 10 unit pembahagi frekuensi diperlukan. Disebabkan banyak unit pembahagi frekuensi diperlukan dalam sebuah sistem PLL, ia menjadi penyumbang pelepasan tenaga tertinggi dalam sistem PLL. Oleh itu, rekabentuk litar pembahagi frekuensi berkuasa rendah amat penting.

Terdapat dua jenis pembahagi frekuensi iaitu statik dan dinamik. Bagi pembahagi frekuensi dinamik, terdapat dua topologi yang sering digunakan iaitu *Miller* dan *Injection-Locked*. Walau bagaimanapun, pembahagi frekuensi dinamik adalah lebih kompleks litarnya dan kosnya lebih tinggi (Jensen et al. 1986). Oleh itu, pembahagi frekuensi statik telah dipilih untuk digunakan dalam kajian ini. Pembahagi frekuensi statik mempunyai litar yang lebih ringkas dan kos yang lebih rendah berbanding pembahagi frekuensi dinamik. Ia boleh diimplementasi dengan dua kaedah iaitu jenis tunggal dan jenis tuan-hamba (*Master Slave*). Jenis output tunggal memerlukan satu sahaja flipflop-D, manakala jenis tuan-hamba memerlukan dua flipflop-D (Kailuke & Nasre 2015). Bagi pembahagi frekuensi jenis output tunggal, output adalah bersambung dengan input *D* secara suap balik seperti yang ditunjukkan dalam Rajah 2. Dengan suap balik ini, flipflop-D akan membahagi frekuensi isyarat masuk kepada dua.

Pembahagi frekuensi jenis tuan-hamba memerlukan dua flipflop-D tetapi dikawal dengan menggunakan isyarat jam yang sama seperti ditunjukkan dalam Rajah 3. Kajian ini menggunakan pembahagi frekuensi statik jenis output tunggal memandangkan litarnya lebih ringkas dan kurang komponen. Ini dapat membantu mengurangkan lagi pelepasan kuasa dalam litar.



RAJAH 2. Pembahagi frekuensi statik jenis output tunggal (Chenakin 2011)



RAJAH 3. Pembahagi frekuensi statik jenis tuan-hamba (Kailuke, A. C. & Nasre, V. G. 2015)

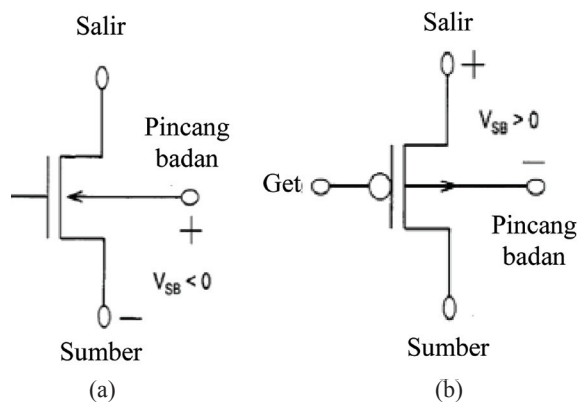
Flipflop-D merupakan struktur asas litar pembahagi frekuensi statik. Pelbagai topologi flipflop-D telah digunakan dalam merekabentuk pembahagi frekuensi, seperti mod logik sepunya (*common mode logic, CML*) dan jam fasa tunggal benar (*True Single Phase-Clock, TSPC*). CML mampu beroperasi pada frekuensi input yang tinggi, tetapi ia menggunakan kuasa yang besar (Kwasniewski & Usama 2009). Sebaliknya, TSPC memerlukan jumlah transistor yang sedikit dan mempunyai lengah perambatan yang kecil, dan mampu beroperasi pada frekuensi yang tinggi (Dubey et al. 2013). Oleh itu, TSPC didapati lebih sesuai digunakan untuk mendapatkan pembahagi frekuensi berkuasa rendah.

METODOLOGI

Litar pembahagi frekuensi dalam kajian ini dibangunkan dan disimulasi menggunakan perisian Mentor Graphics menggunakan teknologi Silterra CMOS 0.13 μm (model transistor prestasi tinggi, hp (*high performance*)). Unit asas sebuah pembahagi frekuensi adalah flipflop-D. Teknik pincang badan ke depan (*Forward Body Bias, FBB*) telah digunakan dalam kajian ini untuk membangunkan flipflop-D dalam litar pembahagi frekuensi. Bagi topologi pembahagi frekuensi pula, jenis TSPC telah digunakan. Teknik pincang badan ke depan dan pembangunan litar pembahagi frekuensi diterangkan dalam sub-topik berikut.

CMOS-PINCANG BADAN KE DEPAN (CMOS-FBB)

Bagi menghasilkan pembahagi frekuensi berkuasa rendah, kajian ini menggunakan transistor CMOS pincang badan ke depan (*Forward Body Bias, FBB*). Teknik pincang badan ke depan boleh diaplikasikan dengan cara mengenakan voltan positif antara terminal sumber dan badan. Rajah 4 menunjukkan transistor PMOS dan NMOS pincang badan ke depan. Teknik ini dapat mengurangkan kelebaran kawasan susutan selain pengurangan cas ion dalam plat kapasitor semikonduktor MOS (Fu et al. 2011). Teknik pincang badan ke depan boleh mengurangkan voltan ambang CMOS. Voltan ambang yang lebih rendah membolehkan CMOS beroperasi dengan voltan sumber yang lebih rendah. Ini seterusnya menghasilkan litar pembahagi frekuensi yang berkuasa rendah.



RAJAH 4. Transistor CMOS menggunakan teknik pincang badan ke depan bagi (a) NMOS (b) PMOS

Voltan ambang adalah voltan yang diperlukan untuk membentuk saluran pengaliran arus daripada terminal sumber ke salir. Voltan ambang yang diberikan adalah dalam nilai yang positif. Bagi PMOS, voltan antara terminal get dan sumber (V_{GS}) mestilah sama atau kurang daripada voltan ambang untuk membentuk saluran ini. Manakala bagi NMOS pula, V_{GS} mestilah sama atau lebih daripada voltan ambang. Apabila keadaan ini dipenuhi, transistor akan ON dan memulakan operasi.

Lazimnya terminal badan transistor disambungkan ke terminal sumber. Ini memberikan voltan antara terminal sumber dan badan (V_{SB}) adalah 0V. Sekiranya terminal badan ini disambungkan ke sumber voltan yang lain, kesan pincang badan akan diperolehi. Kesan pincang pada badan transistor akan memberi kesan pada voltan ambang. V_{SB} mengubah kelebaran lapisan susutan seterusnya mengubah voltan merentasi oksida disebabkan oleh kawasan susutan.

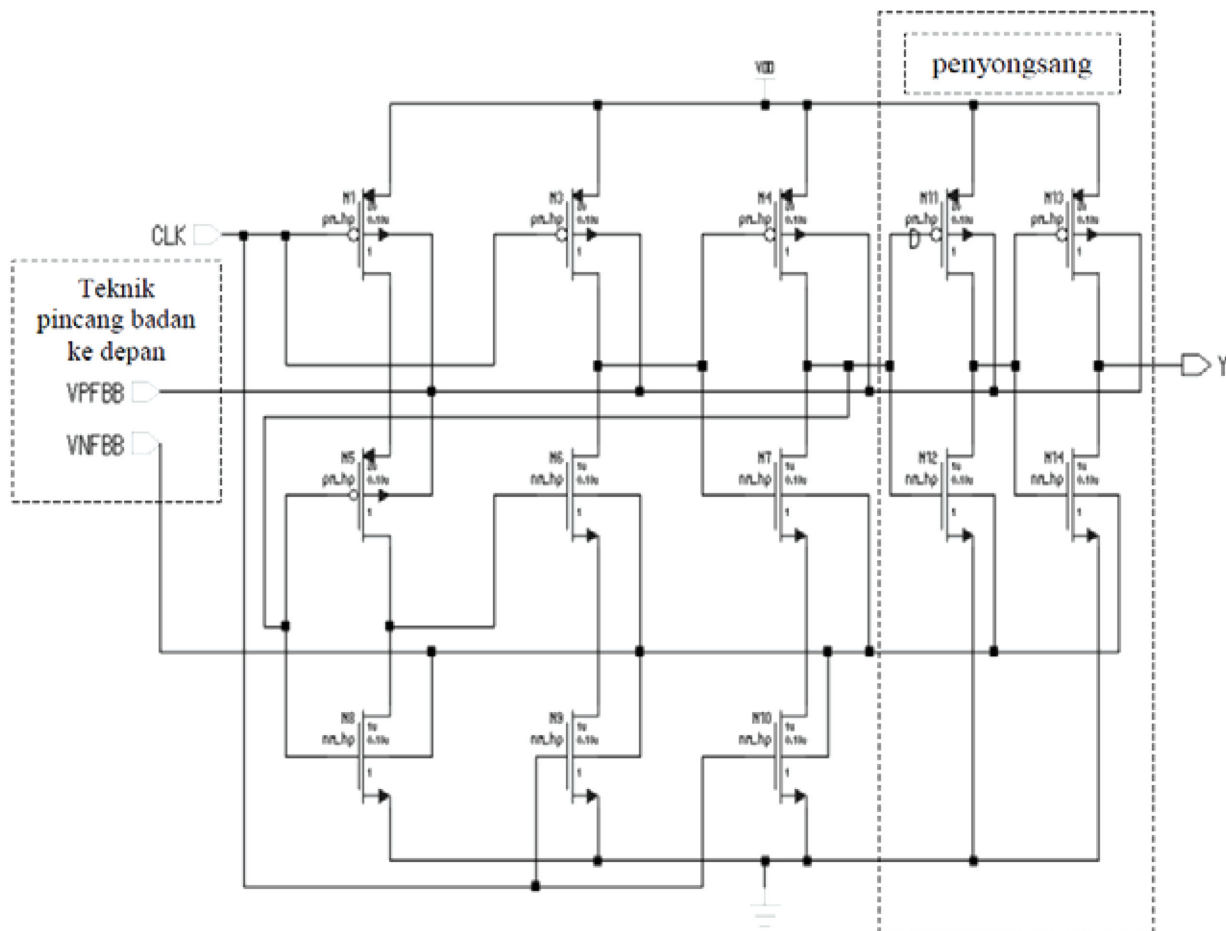
Terdapat tiga jenis pincang badan iaitu pincang badan ke depan (*forward body bias, FBB*), pincang badan ke belakang (*reverse body bias, RBB*) dan pincang badan dwiarah. Pincang badan ke belakang mempunyai kebocoran arus yang sangat rendah namun teknik ini menyebabkan voltan ambang lebih tinggi (Verma et al. 2014). Voltan ambang yang tinggi menghalang daripada penggunaan sumber voltan yang rendah

pada litar. Oleh itu, litar berkuasa rendah tidak boleh dicapai dengan teknik pincang badan ke belakang. Sebaliknya, teknik pincang badan ke depan mampu mengurangkan voltan ambang. Oleh itu, teknik pincang badan ke depan lebih sesuai digunakan.

Bagi mencapai kesan pincang badan ke depan, terminal badan transistor perlu disambungkan ke bekalan voltan. Bagi PMOS, nilai voltan pada terminal badan perlu lebih rendah berbanding terminal sumber. Manakala bagi NMOS, nilai voltan pada terminal badan perlu lebih tinggi berbanding terminal sumber. Bagi menentukan nilai voltan yang optimum, beberapa nilai telah dicuba dan didapati 0.4 V merupakan voltan yang optimum. Seterusnya, nilai voltan sumber yang optimum perlu ditentukan. Voltan sumber tidak boleh kurang daripada 0.6 V kerana nilai yang rendah daripada 0.6 V boleh menyebabkan kebocoran arus dalam transistor (Uygun & Kuntman 2013). Bagi transistor CMOS konvensional, lazimnya 1.2 V digunakan sebagai voltan sumber. Namun, setelah nilai voltan yang berbeza di antara 0.6 V hingga 1.2 V dicuba pada CMOS-FBB, voltan sumber 0.8 V didapati memberikan nilai optimum. Transistor CMOS-FBB dengan sumber voltan 0.8 V dan nilai pincangan FBB 0.4 V memberikan arus salir (I_d) yang lebih tinggi berbanding transistor CMOS konvensional.

Rekabentuk pembahagi frekuensi yang dipilih untuk kajian ini ialah topologi TSPC seperti dalam Rajah 5. Setiap transistor NMOS dan PMOS dalam litar ini menggunakan teknik pincang badan ke depan. Voltan 0.4 V disambungkan kepada terminal badan (*body*) PMOS (VPFBB) dan NMOS (VNFBB). Teknologi CMOS 0.13 μm lazimnya menggunakan 1.2 V sebagai sumber voltan. Tetapi dengan menggunakan teknik pincang ke depan, litar yang dicadangkan dalam kajian ini hanya menggunakan 0.8 V bagi sumber voltan. Input jam (CLK) pula merupakan input kepada pembahagi frekuensi dan bagi tujuan simulasi ia dibekalkan dengan isyarat segiempat. Output pembahagi pula disambung dengan dua penyongsang yang bertindak sebagai penimbal (*buffer*).

Bagi tujuan pengesahan keputusan, litar pembahagi frekuensi TSPC menggunakan transistor CMOS konvensional telah dibina. Beberapa parameter seperti voltan sumber, pelepasan kuasa dan frekuensi operasi maksimum akan dibandingkan di antara pembahagi frekuensi menggunakan transistor CMOS pincang ke depan (CMOS-FBB) dan CMOS konvensional.



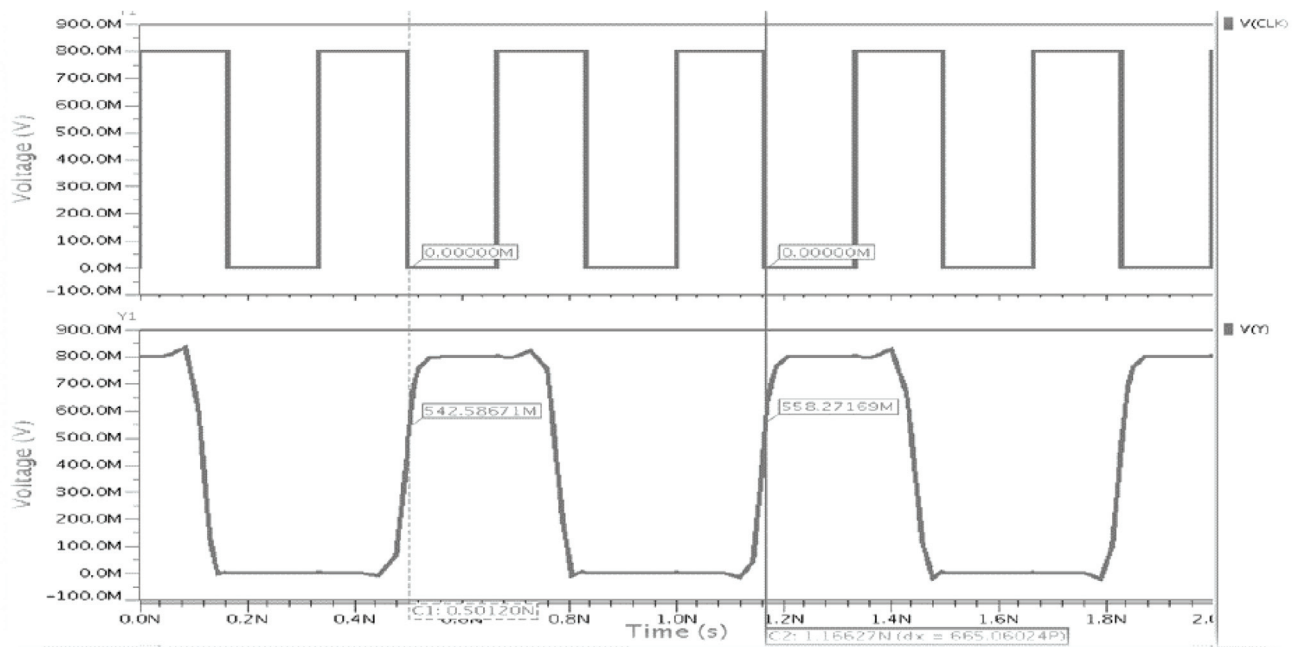
RAJAH 5. Litar pembahagi frekuensi menggunakan topologi TSPC

KEPUTUSAN

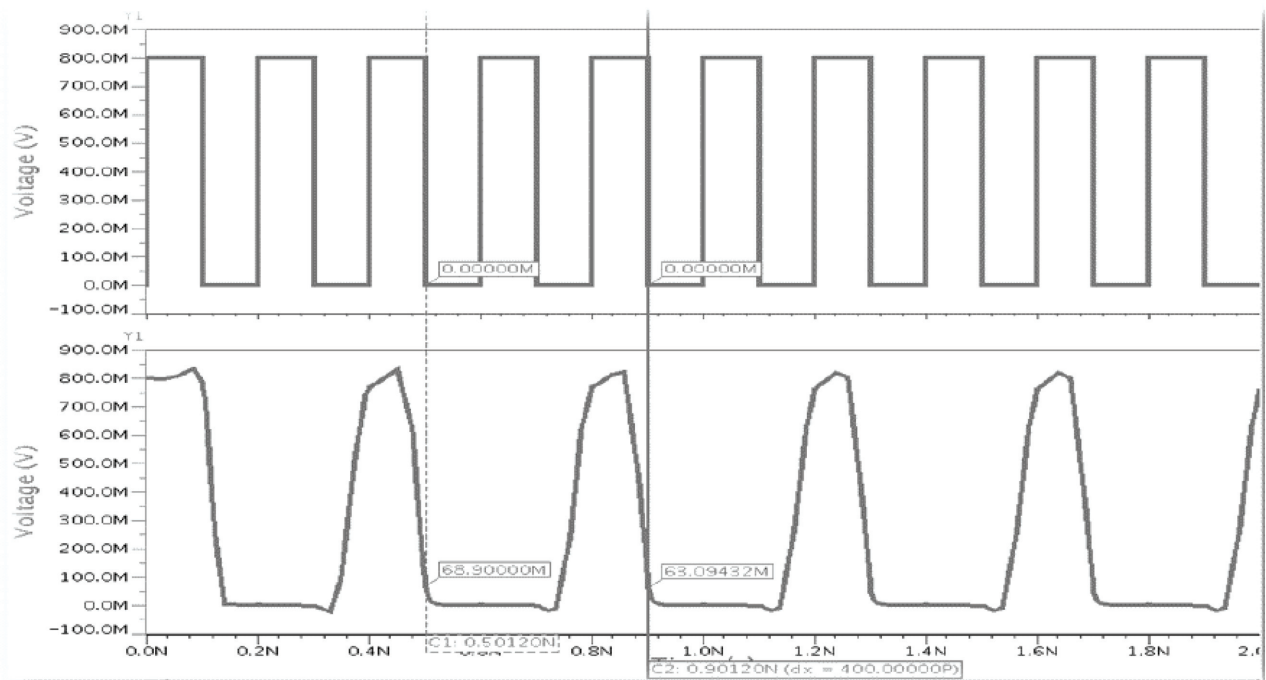
Litar pembahagi frekuensi menghasilkan separuh denyut gelombang daripada satu kitar gelombang asal seperti yang ditunjukkan dalam Rajah 6. Input frekuensi yang diberikan ialah 3 GHz, dan frekuensi output yang terhasil ialah 1.5 GHz. Kedua-dua litar pembahagi CMOS konvensional dan CMOS-FBB memberikan isyarat output yang sama. Yang hanya

membezakan keduanya ialah nilai voltan puncak, di mana nilai voltan puncak CMOS konvensional ialah 1.2 V, manakala voltan puncak bagi CMOS-FBB ialah 0.8 V.

Seterusnya, frekuensi isyarat input ditingkatkan sehingga litar pembahagi tidak lagi berfungsi. Ini bagi mengetahui frekuensi operasi maksimum. Litar pembahagi frekuensi CMOS-FBB mampu beroperasi hingga input frekuensi 5 GHz, seperti yang ditunjukkan dalam Rajah 7.



RAJAH 6. Gambar rajah pemaasan bagi litar pembahagi frekuensi CMOS-FBB dengan isyarat input 3 GHz



RAJAH 7. Gambar rajah pemaasan bagi litar pembahagi frekuensi CMOS-FBB dengan isyarat input 5 GHz

Keputusan litar pembahagi frekuensi CMOS-FBB dibandingkan dengan litar pembahagi CMOS konvensional. Jadual 1 menunjukkan perbandingan prestasi kedua-dua litar tersebut. Pada litar pembahagi frekuensi CMOS konvensional, frekuensi operasi maksimum (f_{\max}) ialah 9 GHz dari bekalan voltan (V_{DD}) 1.2 V dengan penggunaan kuasa secara keseluruhan adalah 175.48 μ W. Walaubagaimanapun, dengan mengaplikasikan teknik pincang badan ke depan pada litar tersebut, litar pembahagi dapat beroperasi sehingga 5 GHz daripada bekalan voltan serendah 0.8 V dengan penggunaan bekalan kuasa pada keseluruhan litar hanya 34.55 nW. Didapati, pembahagi frekuensi CMOS-FBB mampu menjimatkan bekalan kuasa sebanyak 99.98 % dibandingkan dengan pembahagi frekuensi CMOS konvensional.

Jadual 2 menunjukkan perbandingan prestasi antara beberapa litar pembahagi frekuensi dengan litar pembahagi frekuensi CMOS-FBB yang dicadangkan dalam kajian ini dari segi frekuensi operasi, penggunaan kuasa dan bekalan voltan. Berdasarkan jadual tersebut, litar pembahagi frekuensi hasil kerja ini menggunakan bekalan voltan dan bekalan kuasa yang paling rendah berbanding beberapa hasil kerja yang telah dijalankan pada tahun-tahun sebelumnya.

JADUAL 1. Perbandingan prestasi di antara pembahagi frekuensi CMOS-FBB dan pembahagi frekuensi CMOS konvensional

Janis litar	f_{\max} (GHz)	V_{DD} (V)	Kuasa (W)
CMOS konvensional	9	1.2	175.48 μ
CMOS-FBB	5	0.8	34.55n

JADUAL 2. Perbandingan prestasi di antara pembahagi frekuensi CMOS-FBB dan beberapa pembahagi frekuensi lain

Rujukan	Teknologi CMOS	Topologi	V_{DD} (V)	f_{operasi} (GHz)	Kuasa (W)
Kailuke & Nasre (2015)	0.18 μ m	Tuan-hamba	1.8	2.3	1m
Muddi & Eligar (2014)	0.18 μ m	TSPC	1.8	2.4	310n
Dabhi & Nagpara (2014)	0.045 μ m	TSPC	1.0	2.4	624 μ
Yu et al. (2012)	0.18 μ m	CML	1.0	4.8	1.89m
Kajian ini	0.13 μ m	TSPC	0.8	3.0	34.55n

KESIMPULAN

Berdasarkan keputusan yang diperolehi, teknik pincang badan ke depan (FBB) boleh diaplikasikan terhadap litar pembahagi frekuensi bagi mendapatkan penggunaan kuasa yang rendah. Dengan menggunakan teknik pincang badan ke depan, voltan ambang boleh dikurangkan dan ini menjadikan litar mampu beroperasi dengan sumber voltan yang lebih rendah. Ini seterusnya membolehkan litar yang mempunyai pelepasan kuasa yang rendah mampu dihasilkan. Walaupun begitu, teknik FBB memerlukan voltan tambahan untuk disambungkan ke terminal badan transistor. Bagi teknologi CMOS 0.13 μ m yang digunakan dalam kajian ini, voltan sumber yang digunakan ialah 0.8 V dan 0.4 V disambungkan ke terminal badan. Penggunaan teknik FBB ini mampu menghasilkan litar pembahagi frekuensi berkuasa rendah yang hanya melepaskan 34.55 nW kuasa daripada 0.8 V sumber voltan. Ini mengurangkan pelepasan kuasa sebanyak 99.98% berbanding litar pembahagi frekuensi menggunakan CMOS konvensional.

RUJUKAN

- Barale, F. 2008. Frequency Dividers Design for Multi-GHz PLL Systems. Master Thesis Georgia Institute of Technology.
- Chenakin, A. 2011. *Frequency Synthesizers: Concept to Product*. Artech House.
- Dabhi, R. A. & Nagpara, B. H. 2014. A low power 1MHz fully programmable frequency divider in 45nm CMOS technology. *International Journal for Innovative Research in Science & Technology* 1(1): 39-46.
- Dubey, P., Saxena, A. & Akashe, S. 2013. Design and performance estimation of low power frequency divider in 45nm CMOS Technology. *International Journal of Computer Applications* 82(7): 19-22.
- Fu, H., Zhou, H., Niu, Y., Ren, J., Li, W. & Li, N. 2011. A Low-Voltage Differential Injection Locked Divider with Forward Body Bias. *IEEE 9th International Conference ASIC (ASICON)* 731-734.
- Jensen, J. F., Salmon, L. G., Deakin, D. S. & Delaney, M. J. 1986. Ultrahigh-speed GaAs static frequency dividers. *International Electron Devices Meeting* 476-479.
- Kailuke, A. C. & Nasre, V. G. 2015. Design of high-speed, low-power frequency dividers for phase locked loops in 0.18 μ m CMOS Technology. *International Journal of Emerging Trend in Engineering and Basic Sciences* 2(2): 365-369.
- Kwasniewski, T. A. & Usama, M. 2009. A 40-GHz frequency divider in 90-nm CMOS Technology. *IEEE Journal of Solid-State Circuits* 39(4): 41-43.
- Muddi, V. & Eligar, S. 2014. A high speed low power consumption d flip flop for high speed phase frequency detector and frequency divider. *International Journal of Electronics and Communication Engineering & Technology* 5(8): 185-193.
- Uygun, A. & Kuntman, H. 2013. DT MOS-Based 0.4V Ultra Low-Voltage Low-Power VDTA Design and its application to EEG data processing. *Radio Engineering* 22: 458-466.

- Verma, A., Mishra, A., Singh, A. & Agrawal, A. 2014. Effect of threshold voltage on various CMOS performance parameter. *International Journal of Engineering Research and Applications* 4(4): 21-28.
- Yu, L., Fan, X. & Li, B. 2012. A 4-6GHz Low-Voltage CMOS Integer-M Frequency Divider Applied in Wireless Sensor Networks. *International Conference on Solid-State and Integrated Circuit Technology*, 6-8.

Saidatul Amira Abdul Wahab, *Noorfazila Kamal
Program Kejuruteraan Elektrik dan Elektronik,
Fakulti Kejuruteraan dan Alam Bina,
Universiti Kebangsaan Malaysia, Bangi, Malaysia

*Noorfazila Kamal
Pusat Kejuruteraan Sistem Bersepadu dan Teknologi Termaju
(INTEGRA),
Fakulti Kejuruteraan dan Alam Bina,
Universiti Kebangsaan Malaysia, Bangi, Malaysia

*Corresponding author; email: fazila@ukm.edu.my

Received date : 12th December 2017
Accepted date : 21st February 2018
In Press date : 1st April 2018
Published date : 30th April 2018